

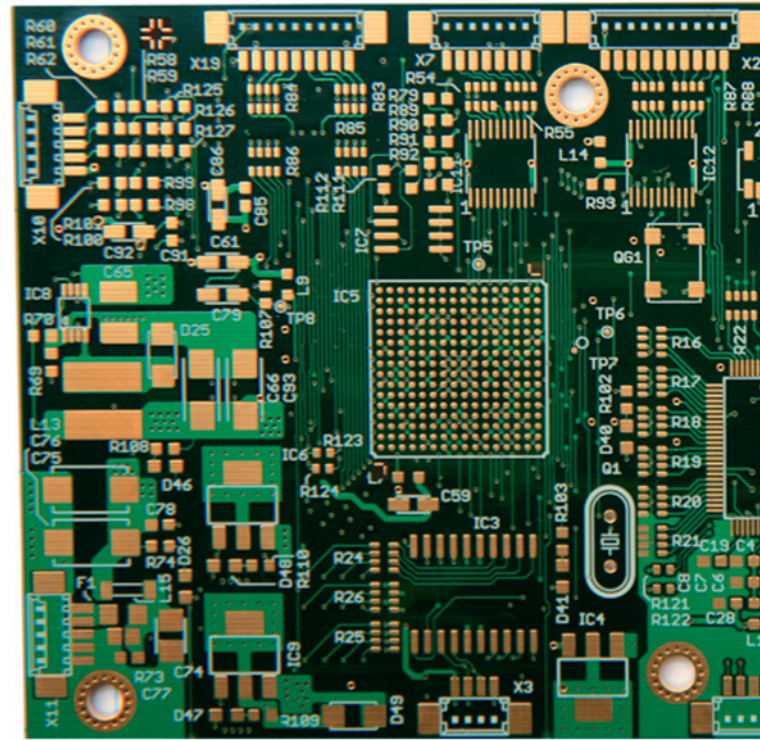
Entwurf und Fertigung komplexer Leiterplatten

HDI für alle

Ständig fortschreitende Miniaturisierung und immer komplexere Schaltungen sowie Bauelemente mit hohen Pinzahlen bringen die klassischen Multilayer-Platinen immer mehr an die physikalischen Grenzen ihrer Möglichkeiten. HDI-Leiterplatten mit feineren Leitungsstrukturen und kleineren Durchkontaktierungen stellen eine Alternative dar, aber viele Anwender scheuen derzeit noch den Umstieg auf diese für sie neue Technik.

Da die Verdrahtungsdichte immer weiter zunimmt, sind auch immer mehr Ebenen zur Leiterbahnführung nötig. Mit konventionell aufgebauten und durchkontaktierten Multilayer-Leiterplatten ist dem Problem auf diesem Weg kaum beizukommen. Die dann zur Anbindung an die Innenlagen zusätzlich benötigten Vias verstellen dazu selbst zu viel Platz. Am Ende sieht die Leiterplatte dann aus wie der berühmte Emmentaler Käse, und es bleibt kein Platz mehr für die Landflächen komplexerer Bauteile, und dies trotz stark gestiege-

ner Fertigungskosten für die zusätzlichen Lagen. Sinnvoller und kostengünstiger ist es da, wie in der HDI/SBU-Technik (HDI = High Density Interconnect, SBU = Sequential Build Up) üblich, die Leiterbahnbreiten stark zu verkleinern und Microvias zu verwenden, also Durchkontaktierungen mit einem Durchmesser unter 200 µm. Vielfach ergibt sich die Notwendigkeit für HDI aber auch ganz banal aus dem kleinen Anschlussraster der verwendeten Bauteile oder aus der Notwendigkeit, schmale Leiterbahnen einzusetzen, da die in der Schaltung auftretenden hohen Signalfrequenzen impedanzkontrollierte dünne Leitungen erfordern. Beispiele dafür sind DDR-RAM- und PCI-x-Schnittstellen.



Microvias schaffen Platz und haben zudem bessere elektrische Eigenschaften als klassische »dicke« Durchkontaktierungen oder Sacklöcher. Durch Verpressen weiterer Lagen (SBU) lassen sich Signale auf den Innenlagen verbinden und entflechten, ohne dabei den Platz für

Bauteile mit hoher Pindichte (z.B. im BGA-Gehäuse) zu blockieren. Mit etwas Erfahrung und einer guten Layerstrategie können diese Bauteile dann sogar überlappend gegenüber auf der Platine platziert werden. Dünne Leiterbahnen mit 100 µm und 125 µm er-

Christian Ranzinger
ist Prokurist
und Leiter Technologie
bei Contag

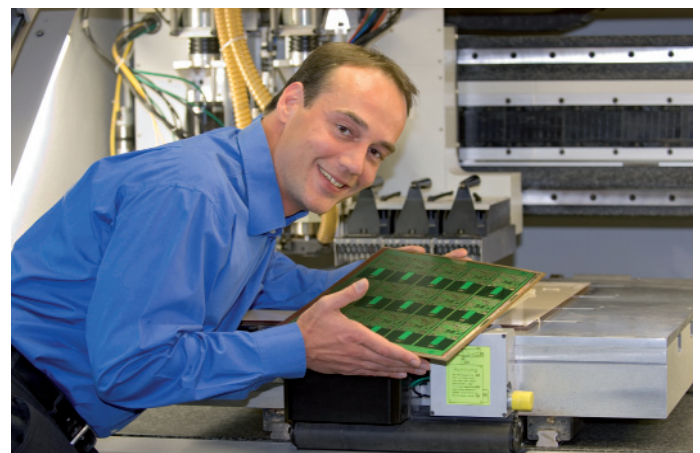
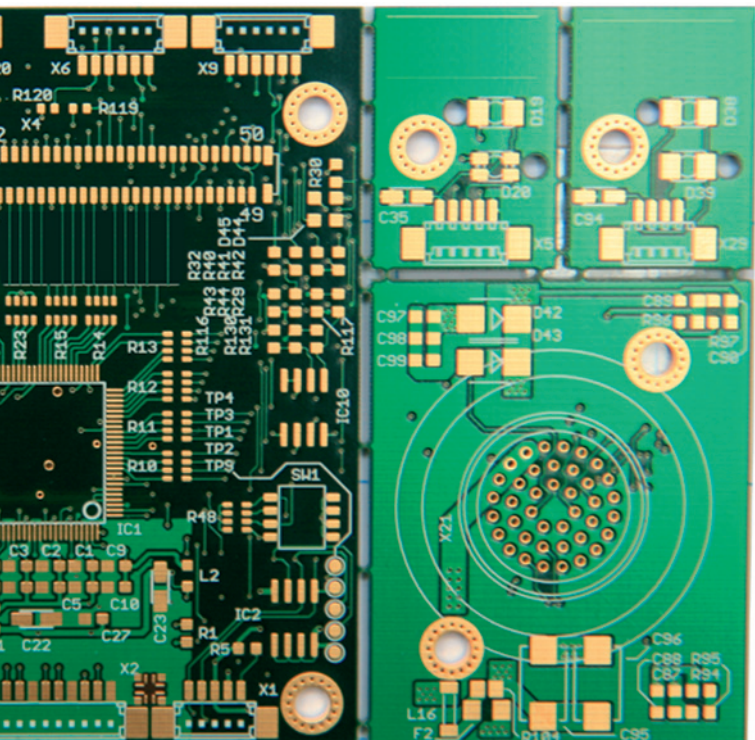


Bild 1: Der fertige Nutzen kommt aus der Produktion



möglichen impedanzkontrollierte Leitungen für hohe und höchste Frequenzen.

Was braucht der Anwender?

Zunächst einmal muss der Entwickler den Layouter mit allen notwendigen Informationen und den speziellen Anforderungen seiner Schaltung »füttern«, etwa Gehäusebauformen oder Leistungsanforderungen wie definierte Impedanzen. Dieser Katalog und die daraus resultierenden Konsequenzen müssen bekannt und in einer passenden Fertigungstechnik umsetzbar sein. Fehlt dieses Wissen noch, so lässt sich dieses zumeist durch Seminare und Kurse beim CAD-Hersteller oder bei einschlägigen Fachverbänden wie zum Beispiel

dem FED (Fachverband Elektronik-Design) oder aber auch durch gute Kommunikation mit dem Leiterplattenhersteller erwerben. Darüber hinaus benötigt der Anwender ein leistungsfähiges CAD-System, in dem er die benötigten Parameter leicht eingeben und auch überprüfen kann. Da das Erstellen und Testen von Designverfahren und Bauelementbibliotheken eine mühsame und fehleranfällige Arbeit ist, empfiehlt es sich im Vorfeld, mit dem späteren Fertigungspartner ein möglichst vielseitiges Fertigungsverfahren auszuwählen, das aber trotzdem noch bezahlbar bleibt und die jeweiligen Projektanforderungen erfüllt. Dabei ist es oft nützlich und im Endeffekt auch kostengünstiger, wenn der Anwen-

der für sein erstes Projekt externe Hilfe in Form von Applikationsunterstützung vom Hersteller des CAD-Systems oder von spezialisierten Dienstleistern in Anspruch nimmt.

Unabhängig ist dabei eine enge Zusammenarbeit mit dem Leiterplattenfertiger, der den Kunden mit exakten Produktinformationen versorgt und bei der Wahl einer geeigneten Technik berät.

Was ist HDI/SBU?

- HDI (High Density Interconnect): Schaltung mit Microvias und feinsten Strukturen.
- SBU (Sequential Build Up): Sequenzieller Lagenaufbau: bedingt mindestens zwei Pressvorgänge bei Multilayerschaltungen.
- Buried Via (Vergrabene Durchkontaktierung): In den Kernlagen liegende und außen nicht sichtbare Durchkontaktierung.
- Blind Via (Sackloch): Auf einer Innenlage endende Ankontaktierung.
- Microvia: An- oder Durchkontaktierung mit einem Durchmesser unter 0,20 mm.

Bei einem SBU-Multilayer teilt sich die Schaltung in einen Doppel- oder Multilayerkern und eine oder mehrere äußere Microvia-Lagen auf. Kommen Buried-Vias über mehr als zwei Lagen oder mehrere äußere Microvia-Lagen vor, sind im Produktionsprozess mindestens zwei Pressvorgänge nötig.

Produktionsschritte des in Bild 3 dargestellten zweifach verpressten 6-Lagen-HDI/SBU-Multilayers:

- Strukturieren der Innenlagen 1 und 2 (jeweils Lagen L2-L3 und L4-L5),
- Verpressen der Innenlagen 1 und 2 mit den innen liegenden Prepregs zu einem Multilayer-Kern,
- Bohren der Buried-Vias als durchgehende Bohrungen (4),
- Durchkontaktieren des Multilayer-Kerns (L2 bis L5),
- Hole Plugging (optional): Füllen der Hülse 4 mit Füllmaterial und anschließendes Planschleifen,
- Strukturieren des Kerns (Lagen 2 und 5),
- Verpressen mit den außen liegenden Prepregs,
- Bohren der Microvias 3 und der Durchkontaktierungen 5,
- Fertigstellen (Strukturieren, Kontaktieren, Außenflächenbehandlung) wie bei einer gewöhnlichen Multilayer-Schaltung, schließlich
- Oberflächenfinish (empfehlenswert: chemisch Zinn oder chemisch Nickel/Gold).

Entscheidende Kostenfaktoren beim SBU-Aufbau sind:

- Anzahl der Pressungen,
- Anzahl der Bohrprogramme (Blind- und Buried-Vias) und
- Anzahl der Durchkontaktierungsprozesse.

Je nach den gewünschten Eigenschaften sowie nach der Lage und Art der Kontaktierungen sind mehrere Varianten des Aufbaus für eine bestimmte Lagenzahl möglich. Auch gibt es eine Vielzahl an Materialien und Materialstärken für Prepreg- und Innenlagen. Hier ist eine Beratung durch den Leiterplattenhersteller dringend erforderlich. Diese sollte schon in der Planungsphase und noch vor dem Beginn des CAD-Layouts stattfinden.



Bild 2: Am CAM-Arbeitsplatz überarbeitet der Leiterplattenhersteller auf Wunsch das Kundendesign

Aufgrund seiner Erfahrung kann er gegebenenfalls Alternativen empfehlen und über den Einfluss auf Ausbeute, Qualität, Lieferzeit und Preis berichten.

Effiziente Kommunikation

Der Kunde liefert seine Daten in möglichst detaillierter Form. Dies sind im Allgemeinen mindestens Gerber- und Bohrdateien im Excellon- oder Sieb- und Mayer-Format; hilfreich sind auch Kon-

struktionszeichnungen. Aufgrund der umfangreicheren Beschreibung und der einfachen Möglichkeit, Änderungen elektronisch direkt zurückzulesen, gewinnt auch das »ODB+«-Format als Ersatz für die genannten klassischen Formate immer mehr an Bedeutung. Zunächst liest der Hersteller die Daten in sein CAM-System ein und führt umfangreiche Prüfungen (DRC, Design Rule Check) durch. Dabei vergleicht er in einer systematischen Prüfung die

Designdaten mit den Erfahrungswerten beziehungsweise Vorgaben des Leiterplattenherstellers und kann so Fehler erkennen, zum Beispiel Verstöße gegen die Fertigungsregeln. Im Allgemeinen hat hier der Hersteller mit seinen CAM-Stationen (z.B. Genesis 2000) umfangreichere Prüfmöglichkeiten als der Entwickler mit seinem möglicherweise schon etwas älteren oder noch etwas einfacheren Designsystem. Aber auch bei anscheinend

perfekten Designlandschaften tauchen immer wieder noch Fehler auf. Was bei einem Hersteller verfahrensabhängig vielleicht gerade noch geht, kann bei einem anderen vielleicht schon nicht mehr funktionieren oder ist ein deutlicher Kostenfaktor für das Produkt. Da die Anforderungen für ein HDI-Design wesentlich komplexer und die Toleranzen deutlich geringer sind, ergeben sich zwangsläufig auch mehr Möglichkeiten, Fehler zu machen. Wichtig dabei ist, dass auf beiden Seiten eine effiziente und schnelle Kommunikation gepflegt wird und jeweils eindeutige Ansprechpartner erreichbar sind. Der Hersteller erläutert tatsächliche und mögliche Probleme und macht Lösungsvorschläge. Diese beziehen sich nicht nur auf tatsächliche Fehler, sondern auch auf Möglichkeiten der Designoptimierung in Bezug auf eine bessere oder kostengünstigere Fertigung. Zeit- und situationsabhängig ist zu klären, ob der Kunde sein Design selbst optimiert und danach die Ausgangsdaten neu erstellt, welche dann eingelesen und geprüft werden, oder ob der Platinenfertiger die Änderungen durchführt (Bild 2). Vielfach lassen sich die Änderungen über Modifikationen der Ausgangsdateien wieder direkt in das CAD-System des Entwicklers

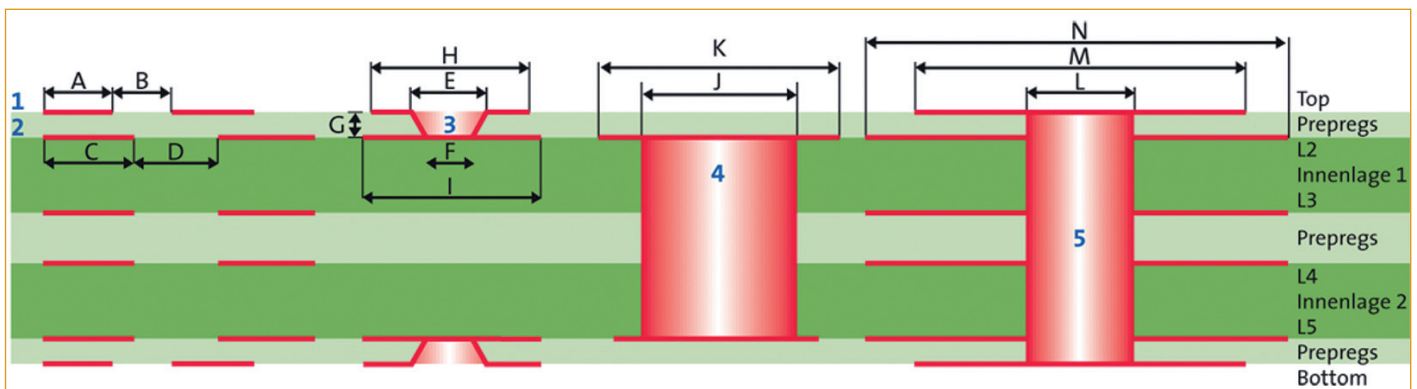


Bild 3: Beispiel eines zweifach verpressten 6-Lagen-HDI/SBU-Multilayer-Boards

zurück lesen, ansonsten erhält der Kunde eine Liste der Änderungen zum nachträglichen Einarbeiten in sein Design. Nach Freigabe des Entwurfs werden die Platinen auf dem Nutzen aufgeteilt. Erst nach einer letzten, endgültigen Freigabe geht die Platine in Produktion (Bild 1).

Universelle Ansätze zum Datenaustausch wie das ODB+-Format sind leider noch nicht von allen Herstellern von CAD-Systemen einheitlich implementiert worden, sodass hier noch nicht alle Kombinationen von Anfang an funktionieren.

Rolle des Leiterplattenherstellers

Enorm wichtig ist, dass der Leiterplattenhersteller seine eigenen Prozesse und die daraus resultierenden Anforderungen an ein Design gut kennt und klar und eindeutig nachvollziehbar beschrieben hat. In letzter Konsequenz heißt das, dass die spätere Leiterplatte fehlerfrei und mit hoher Ausbeute gefertigt werden kann, wenn der Entwurf die CAM-Prüfungen fehlerfrei passiert hat.

Für den Einstieg in eine neue Prozesstechnik muss eine umfangreiche Beratung im Vorfeld stattfinden, damit der Kunde weiß, worauf er sich einlässt. Dies schließt Beratung über Materialauswahl, Kontaktierungstypen und Lagenauswahl ebenso mit ein, wie die Hinweise auf typische Designfehler. Ein gutes Beispiel für solche Fehler ist ein ungenügendes Verhältnis von Bohrtiefe zu Bohrlochdurchmesser (Aspect Ratio) bei Sacklöchern (Blind Vias). Eine typische Lösung kann hier eine andere Lagenauswahl und -zuordnung in SBU-Technik sein, in welcher dann die ursprünglich als Blind-Vias geplanten Verbindungen zwi-

schen den Ebenen als Buried-Vias (vergrabene Durchkontaktierungen) ausgeführt werden können.

Einem flexiblen Hersteller mit einer entsprechend vielseitigen CAM-Station ist es möglich, solche Änderungen manchmal sogar noch vor Ort und unmittelbar vor der Fertigung lokal durchzuführen: Macht sich der Feh-

ler erst beim CAM-Check bemerkbar und hat der Kunde keine Zeit mehr für eine Änderung in seinem CAD-System, so ist dies oft die einzige und letzte Möglichkeit, noch rechtzeitig eine Leiterplatte zu bekommen (Bild 2). Auch bei den in der HDI-Architektur ungleich kritischeren und sehr viel häufiger auftretenden

Restrainingproblemen und Abstandsverletzungen lässt sich so vielfach noch etwas retten. (mc)

Contag
Telefon 030/35 17 88 0
www.contag.de